



**京微雅格**  
Capital Microelectronics

# **CME-M1 FPGA**

*简易版数据手册*

**2013年5月**

京微雅格（北京）科技有限公司

## 注意

© 2013 京微雅格（北京）科技有限公司版权所有

未经京微雅格（北京）科技有限公司书面许可，不得以任何形式或方式，如电子、机械形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微雅格（北京）科技有限公司所有。

### 手册版本号

CME-M1SDSC03

### 联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微雅格（北京）科技有限公司联系，或发送邮件至：

[sales@capital-micro.com](mailto:sales@capital-micro.com)

### 声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微雅格（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作为生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：**1.**生命保障设备或系统是满足以下条件的设备或系统，**(a)**被通过手术植入人体内或**(b)**用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害。**2.**所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即我们有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

### 环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

# 目录

注意 .....	1
目录 .....	2
开始前准备 .....	3
关于本手册 .....	3
CME-M1 FPGA 简介 .....	3
<b>1 CME-M1 主要功能 .....</b>	<b>4</b>
<b>2 CME-M1 系统示意图 .....</b>	<b>5</b>
<b>3 CME-M1 选型列表 .....</b>	<b>6</b>
<b>4 FPGA .....</b>	<b>7</b>
4.1 可编程逻辑模块 (PLB) .....	8
4.2 嵌入式存储器模块 EMB9K .....	8
4.3 I/O 特性 .....	9
4.4 PLL 框图 .....	10
4.4.1 PLL 特性 .....	10
4.4.2 PLL 框图 .....	11
<b>5 MSS 子系统 .....</b>	<b>12</b>
5.1 8051 实例化 .....	13
5.1.1 8051 宏模块端口列表 .....	13
<b>6 配置 .....</b>	<b>15</b>
6.1 配置模式 .....	15
6.1.1 AS 模式 .....	15
6.1.2 PS 模式 .....	16
6.1.3 JTAG 模式 .....	17
版本历史 .....	18

## 开始前准备

### 关于本手册

本手册只是 CME-M1 FPGA 所有手册中的其中一个。旨在帮助用户快速熟悉 CME-M1 器件的核心功能及参数。

如需了解产品详细参数及使用指南，请登录 [http://www.capital-micro.com/cme\\_m1.htm](http://www.capital-micro.com/cme_m1.htm)。

### CME-M1 FPGA 简介

CME-M1 是一款集成了增强型 8051 处理器硬核和 FPGA 等资源于一体的智能型器件，能够实现完全可定制系统设计和 IP 保护能力，而且易于使用。设计者可以便捷地利用 CME 的 Primace 进行 FPGA 设计，支持第三方 EDA 工具 Keil™ 进行嵌入式设计。CME-M1 的单芯片系统比传统专属功能微控制器具有更大的灵活性、比现有使用软核处理器的 FPGA 具有更低的成本。CME-M1 的 ISP 功能可以实现在系统更新配置镜像，ISC 功能可以实现在系统用其他配置镜像重新配置 CME-M1。CME-M1 系列产品广泛应用于工业、医疗设备、通信系统和消费类电子等多种应用领域。

# 1 CME-M1 主要功能

## FPGA

- 基于 SRAM 的 0.13 微米工艺 FPGA Fabric
  - 4 输入查找表+基于 DFF 的可编程逻辑单元 LC
  - 1024 个可编程逻辑单元
  - 专用的算术进位链
  - 层次化结构布线资源
- 嵌入式 RAM Block 存储器
  - 2x9Kbit 可配置双端口 DPRAM 存储器 EMB9K
- 时钟网络
  - 8 个 De-skew 全局时钟
  - 1 个支持频率合成、相移、De-skew 的 PLL（输入时钟频率范围：5~350MHz、输出时钟频率范围：10~350MHz）
  - 4 个外部时钟输入、1 个外部振荡反馈时钟输入
- I/O 和操作电压
  - 3.3V LVCMOS/LVTTL
  - 支持 5V 输入
  - 最高可达 150MHz
  - I/O 属性可编程
  - 3.3V I/O 电压、1.2V 内核电压

## MSS

- 增强型 8051 MCU
  - 精简指令周期，12 倍于标准 8051 的 MIPS，频率最高可达 150MHz
  - 兼容标准 8051 的指令系统
  - 硬件支持乘法、除法指令
  - 支持扩展指令：MOV A,ACC
  - 支持 16 位乘法、32/16 位除法硬件
  - 片上调试系统 OCDS，支持 JTAG 在线调试
  - 8 个外部中断源，总共 13 个中断源
  - 支持高达 8M 数据/代码存储器

- 嵌入式 SRAM 存储器
  - 32KByte 单端口存储器 SPRAM
  - 4KByte 双端口 DPRAM（Fabric 连 B 端口，MSS 连 A 端口）
  - 数据/代码统一编址、存储大小灵活配置
- 外设
  - 3 个 16 位定时时器，定时器 2 可用作比较捕获单元
  - 1 个 16 位硬件看门狗
  - 1 个 I2C 接口
  - 1 个 SPI 接口，可控制 4 个从设备
  - 2 个全双工异步串行接口
- 停止、空闲模式电源管理
- 芯片系统管理
  - ISC 控制
  - ISP 控制
  - 系统动态频率切换
  - 系统动态 PLL 控制
  - 系统 FPGA 时钟关断控制

## 配置

- 配置模式
  - JTAG 模式
  - AS 模式
  - PS 模式
- JTAG 接口
  - JTAG 芯片配置
  - JTAG 8051 调试
  - 芯片配置、8051 调试共用同一 JTAG
- 支持多映像配置文件
- 可选 4Mbit 内部 SPI-FLASH
- ISC
- 安全机制
  - 配置文件数据加密
  - 基于密钥的 SPI 操作保护
  - 访问保护机制
  - 配置 memory1 保护

<sup>1</sup> Memory 包括 MSS 8051 的 RAM code

## 2 CME-M1 系统示意图

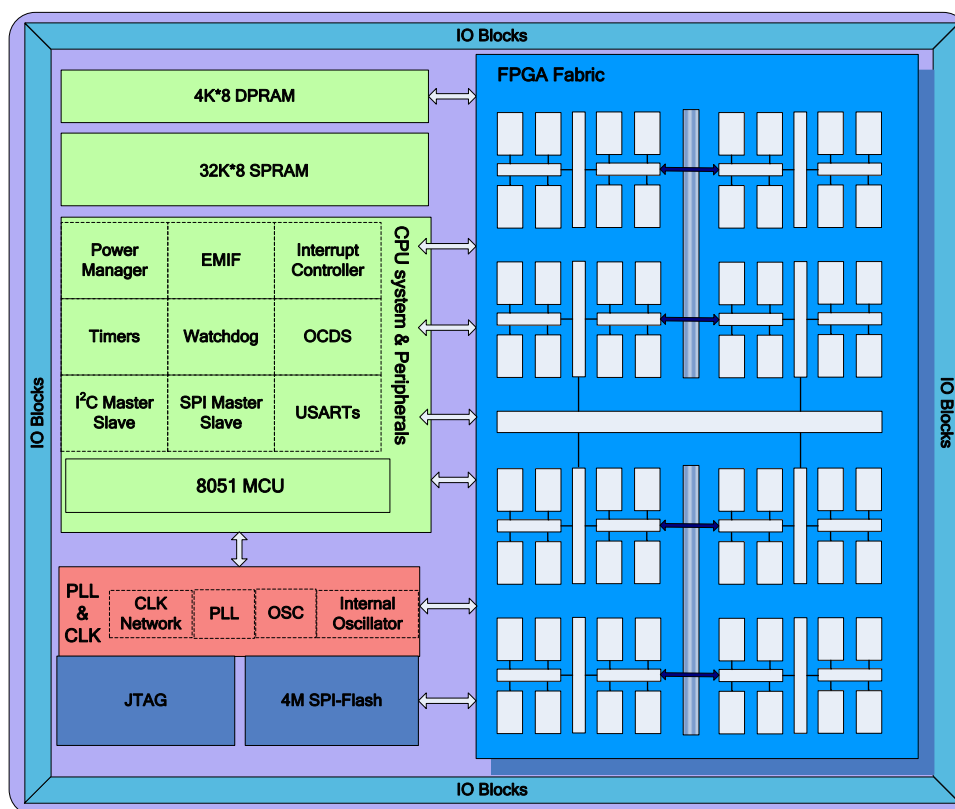


图 1 CME-M1 系统示意图

### 3 CME-M1 选型表

CME-M1 系列产品列表					
CME-M1		M1C01N3L144 (AS2E5F1KAL144)	M1C01N0L144 (AS2E5F1KL144)	M1C01N3T100 (AS2E5F1KAT100)	M1C01N0T100 (AS2E5F1KT100)
封装		LQFP144	LQFP144	TQFP100	TQFP100
FPGA Fabric	LC	1024	1024	1024	1024
	RAM Blocks	2	2	2	2
MSS	16 位定 时器	3	3	3	3
	存储器	32K+4KByte	32K+4KByte	32K+4KByte	32K+4KByte
	16 位看 门狗	1	1	1	1
	I <sup>2</sup> C 接口	1	1	1	1
	SPI 接 口	1	1	1	1
	全双工 异步串 行接口	2	2	2	2
SPI Flash		4Mbit		4Mbit	
I/Os		111	111	71	71
速度		7	7	7	7
工业 等级		商业(0°C, +85°C) 工业(-40°C, +100°C)	商业(0°C, +85°C) 工业(-40°C, +100°C)	商业(0°C, +85°C)工 业(-40°C, +100°C)	商业(0°C, +85°C) 工业(-40°C, +100°C)

## 4 FPGA

下图为 CME-M1 整个 FPGA 的结构。嵌入式存储器模块 EMB9K 内嵌在 Fabric 中，MSS、GCLK 时钟网络以及 IOB 等通过绕线资源联到 Fabric 上。图中的“连接”表示绕线资源。

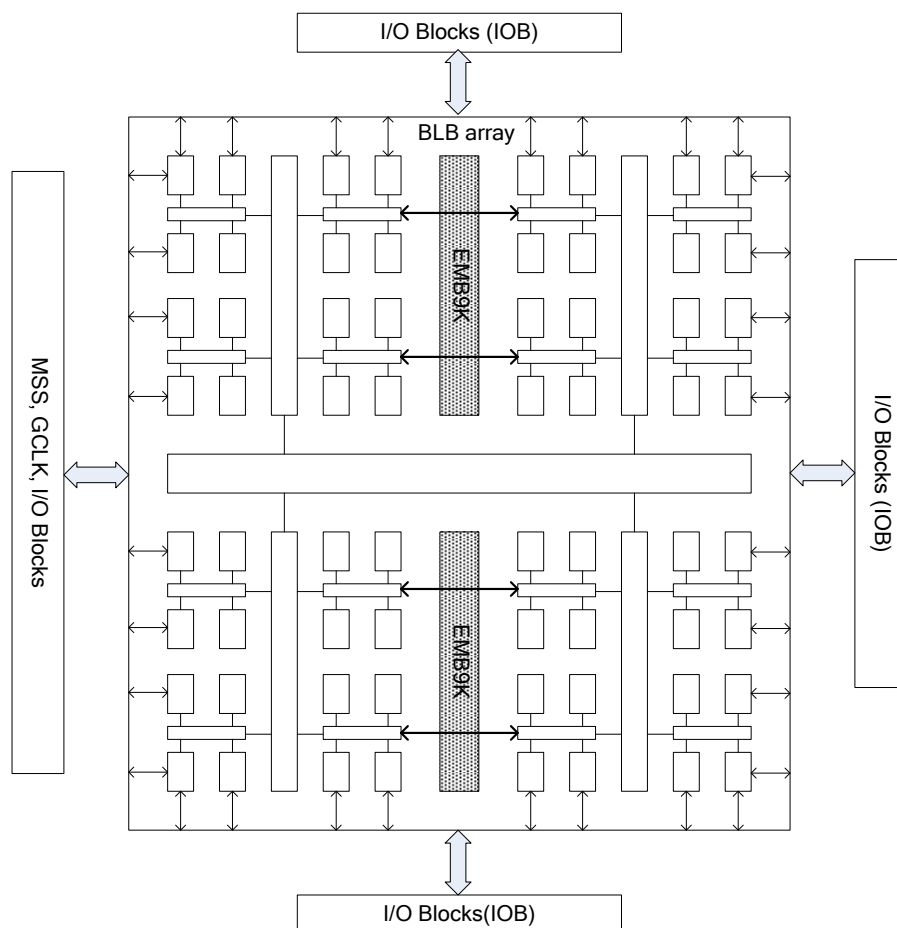


图 2 FPGA 概况

FPGA Fabric 的基本模块是 BLB (Basic Logic Block)。64 个 BLB 阵列，分四个层次通过上下绕线资源和跨层次的进位链资源连接成整个 FPGA Fabric。16 个逻辑单元 LC (Logic Cell) 组成一个 BLB，也即 HLB1，4 个 HLB1 组合为一个 HLB2。同理，4 个 HLB2 组合成 1 个 HLB3。CME-M1 包含 4 个 HLB3，可以视为一个 HLB4，共计 1024 个逻辑单元 (64 个 BLB)。

CME-M1 四周分布 IOB (I/O Block)，它们通过交叉互联线与 FPGA 逻辑阵列相连接。芯片的左边有 7 个 IOB，其余三边都有 8 个 IOB。每个 IOB 包含 4 个 IOC (I/O Cell)。



## 4.1 可编程逻辑模块 (PLB)

现场可编程逻辑单元 (LC) 作为现场可编程块 (下图) 中最小的单元, 有如下特征:

- 一个 4 输入查找表可以实现四个变量的任何逻辑功能
- 进位链的特点可以用于加法器/减法器
- 或非门链和 WLUT 链可以扩展 LUT 功能
- 一个可编程寄存器
- 支持寄存器反馈回 LUT

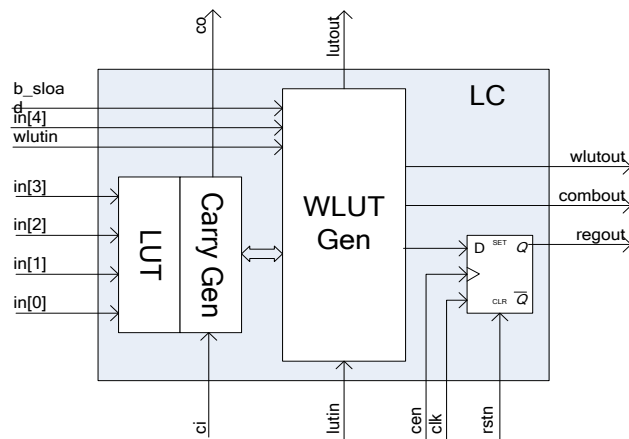


图 3 现场可编程逻辑单元

## 4.2 嵌入式存储器模块 EMB9K

CME-M1 中共 2 个 EMB9K 块。EMB9K 模块是一个同步真双端口存储器, 具有如下特征:

- 9,216 bits
- 混合时钟方式
- 支持字节使能

写端口数据宽度为 8、9、16、18、32 或 36 位时, EMB9K 支持字节写操作。字节使能允许屏蔽输入数据, 这样 EMB9K 可以写入特定字节。未写入的字节保持之前写入的值。下表为支持字节的 EMB9K 块。

we [3..0]	d [15..0]	d [17..0]	d [31..0]	d [35..0]
[0] = 1	[7..0]	[8..0]	[7..0]	[8..0]
[1] = 1	[15..8]	[17..9]	[15..8]	[17..9]
[2] = 1	—	—	[23..16]	[26..18]
[3] = 1	—	—	[31..24]	[35..27]

- 奇偶校验位
  - 支持奇偶校验码

EMB9K 模块的每个字节都有奇偶校验位，但需要逻辑配合实现。奇偶校验位也可用于存储用户自定义的控制位。

- **A、B 数据宽度可独立配置**
- **支持直通或寄存器读输出**

直通读 ((同步—1 clock): 在读有效的情况下，读的数据在同一个时钟周期里驱动到读数据总线 q 上。

寄存器读 ((同步—2 clock): 在读有效的情况下，内部读的数据在下一个时钟周期里放到输出寄存器里并驱动到读数据总线 q 上。

通过设置 `output_mode`，可以选取直通读模式或寄存器读模式。在寄存器读模式下，可通过 `is_clk_qx_inverted` 参数来选择时钟上升沿读或时钟下降沿读。

- **支持初始化**

初始化文件格式为 `.hex` 或 `.dat`（每行一个 16 进制数，行数为 EMB9K 的深度）。初始化文件在配置过程中初始化 EMB9K 的存储器。

- **Memory 模式**

依据应用模式可配置成如下几种模式：

- `emb9k_tdp`
- `emb9k_sdp`
- `emb9k_sp`

在 `emb9k_tdp`、`emb9k_sdp` 模式下不能同时读写同一个地址。

## 4.3 I/O 特性

- 可承受 5V 输入
- 支持 LVCMOS33/LVTTL33 I/O 标准
- 独立三态输出控制
- 内部可编程上拉电阻: 62~112 K $\Omega$
- I/O 驱动电流固定为: 8mA
- 支持异步直通输入输出
- 支持同步输入输出

IOC 是 I/O 的最小基本单元，一个 IOC 控制一个 I/O。IOC 加上绕线资源组成 IOB0。下图描述了 IOB0 的结构。

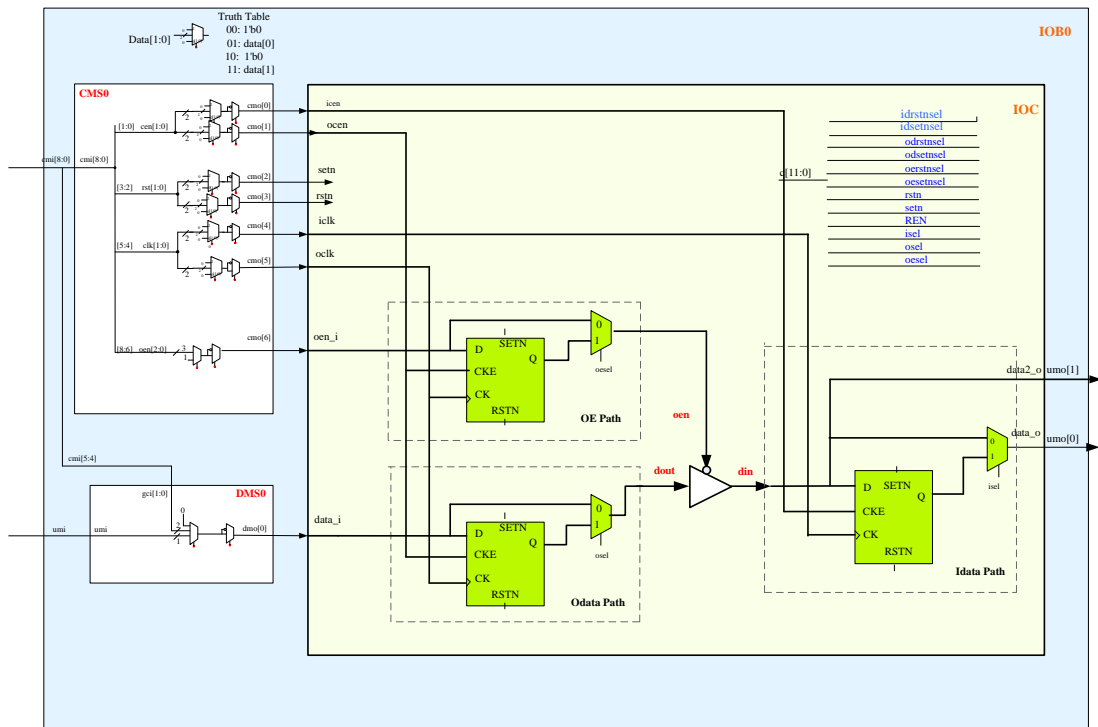


图 4 IOB0 结构

## 4.4 PLL 框图

### 4.4.1 PLL 特性

- 输入频率: 5~350MHz
- PFD 输入频率: 5 ~ 350MHz
- 输出频率: 10 ~ 350MHz
- VCO 操作范围: 300 ~ 800MHz
- 输出时钟占空比: 45-55%
- 3 路输出
- 频率综合和 Deskew 模式

## 4.4.2 PLL 框图

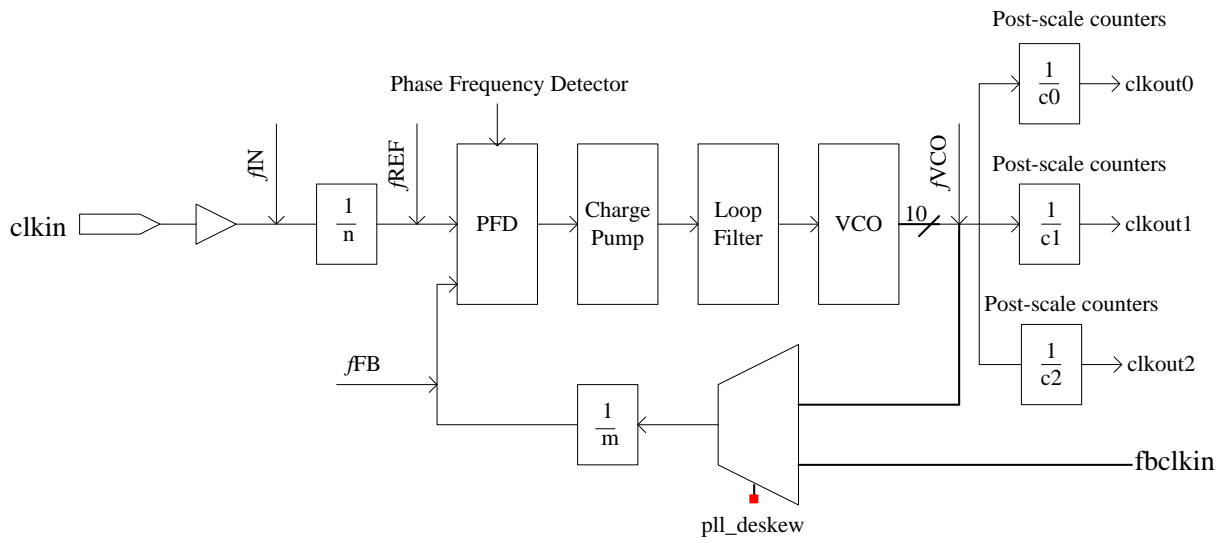


图 5 PLL 框图

## 5 MSS 子系统

MSS 子系统由 150MHz 增强型 8051 处理器、集成的外设和集成的 SRAM 组成。具有如下特征：

- **增强型 8051MCU**
  - 精简指令周期，12 倍于标准 8051 的 MIPS，频率最高可达 150MHz
  - 兼容标准 8051 的指令系统
  - 片上调试系统（OCDS），支持 JTAG 在线调试
  - 支持高达 8M 数据/代码存储器
- **嵌入式 SRAM 存储器**
  - 32KByte 单端口存储器 SPRAM
  - 4KByte 双端口 DPRAM（Fabric 连 B 端口，8051 连 A 端口）
  - 数据/代码统一编址、存储大小灵活配置
- **外设**
  - 一个算术协处理器 MDU
  - 3 个 16 位定时器，定时器 2 可用作比较捕获单元
  - 1 个 16 位硬件看门狗
  - 1 个 I2C 接口
  - 1 个 SPI 接口
  - 2 个全双工异步串行接口
- **停止、空闲模式电源管理**
- **芯片系统管理**
  - ISC 控制
  - IAP 控制
  - 在系统动态频率切换
  - 在系统动态 PLL 控制
  - 在系统 FPGA 时钟关断控制

MSS 子系统的 EMIF、P 端口、SPI 以及 DPRAM4K 的 B 端口连到了 FPGA 的 Fabric 上，I<sup>2</sup>C 和扩展的 SFR 连到了 CME-M1 的硬件模块上。MSS 通过这些通路可以智能的控制 CME-M1 的运行。下图为 MSS 系统的功能和连接关系。

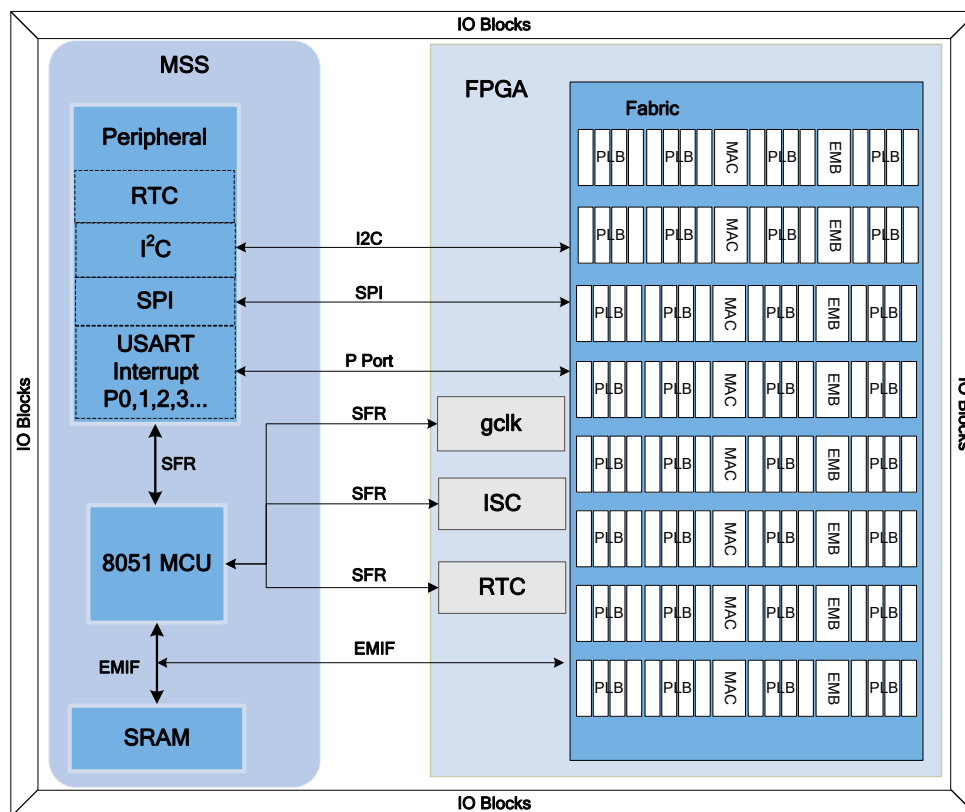


图 6 MSS 功能和连接示意图

## 5.1 8051 实例化

使用 CME-M1 进行设计时，必须在 RTL 代码中对 8051 宏模块进行实例化。

### 5.1.1 8051 宏模块端口列表

Name	Type	Width	Description
clkcpu	I	1	MSS 8051 clock <sup>2</sup>
<b>Fabric interface</b>			
clkcpuen	O	1	is low when cpu is in STOP and IDLE mode.
clkperen	O	1	is low when cpu is in IDLE mode
reset	I	1	MSS reset, Low active
ro	O	1	MSS core reset output
swd	I	1	High level on this pin during reset starts the watchdog Timer immediately after reset is released
<b>SPI interface</b>			
scki	I	1	Serial clock input
scko	O	1	Serial clock output

<sup>2</sup>硬件内部已经连到全局时钟，需要在 PLL wizard 中选择时钟，不需要设计连接。

scktri	O	1	Serial clock tri-state enable
ssn	I	1	Slave select input
misoi	I	1	“Master input / slave output” input pin
misoo	O	1	“Master input / slave output” output pin
misotri	O	1	“Master input / slave output” tri-state enable
mosii	I	1	“Master output / slave input” input pin
mosio	O	1	“Master output / slave input” output pin
mositri	O	1	“Master output / slave input” tri-state enable
spsn	O	4	Slave select output register
<b>General IO</b>			
port0i	I	8	8-bit input port
port0o	O	8	8-bit output port
port1i	I	8	8-bit input port, combine with int2-7, ccu, t2, rxd1
port1o	O	8	8-bit output port, combine with ccu, txd1
port2i	I	8	8-bit input port
port2o	O	8	8-bit output port
port3i	I	8	8-bit input port, combine with int0-1, rxd0, t0, t1
port3o	O	8	8-bit output port, combine with txd0, rxd0o
<b>EMIF interface</b>			
clkemif	I	1	EMIF interface clock
memack	I	1	memory acknowledge
memdatai	I	8	Memory data input
memdatao	O	8	Memory data output
memaddr	O	23	Memory address
memwr	O	1	Memory write enable
memrd	O	1	Memory read enable
<b>DPRAM 4K interface</b>			
clkb	I	1	dpram 4k b port clock
cenb	I	1	dpram 4k b port chip select, low active
wenb	I	1	dpram 4k b port write enable, low active
ab	I	12	dpram 4k b port address
db	I	8	dpram 4k b port write data
qb	O	8	dpram 4k b port read output data

## 6 配置

CME-M1 有三种配置模式：JTAG，AS，PS 模式。引脚 MSEL 来设置 CME-M1 的配置模式，如下所示。

注意：CME-M1 内置的 FLASH 芯片，只有 AS 和 JTAG 模式，没有 MSEL 引脚。

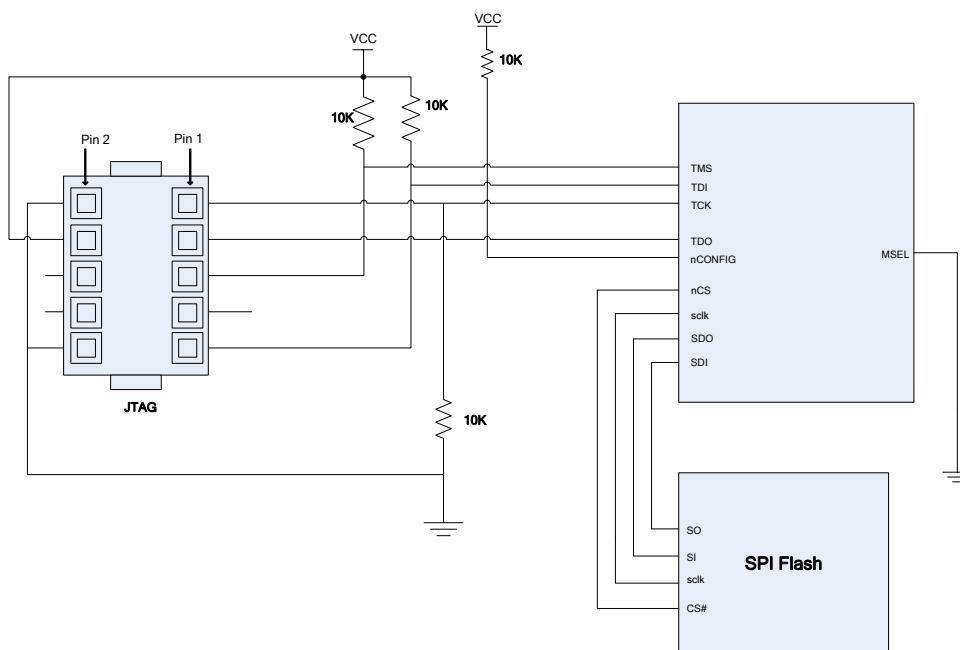
Mode select pin	Mode	Description
MSEL		
0	AS	Active Serial mode. The chip will be configured automatically. Configuration data is stored in the SPI flash.
1	PS	Chip acts as slave. External microcontroller feeds configuration data into the chip.
0/1	JTAG	JTAG-based configuration. This mode takes high privilege over AS and PS modes

### 6.1 配置模式

#### 6.1.1 AS 模式

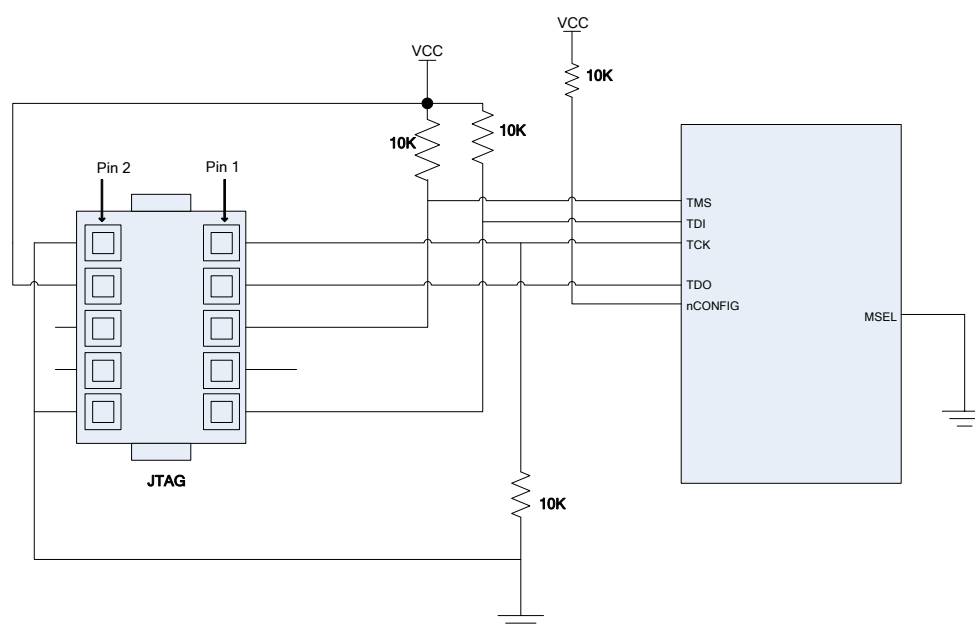
在 AS 配置模式下，CME-M1 上电复位或引脚 nCONFIG 复位后自动从 SPI flash 0 地址读取配置数据，配置 FPGA 和 MSS 的内嵌 RAM。

下图为不带 FLASH 的 CME-M1 在 AS 模式下的连接图。





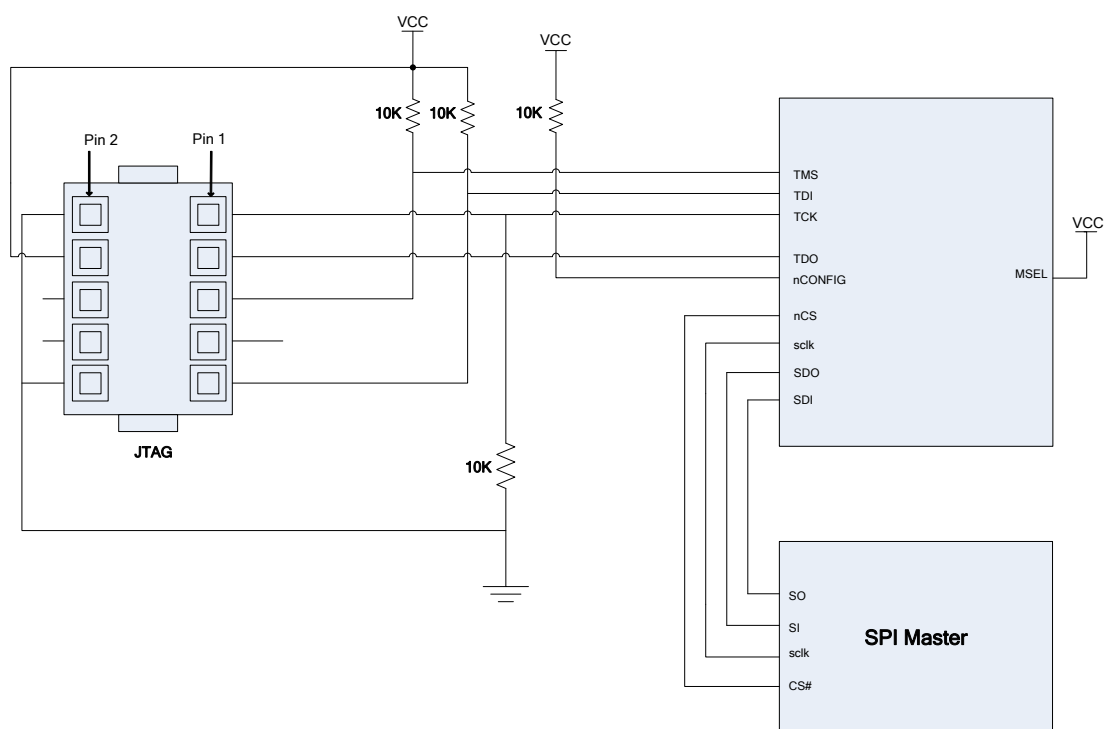
下图为带 FLASH 的 CME-M1 在 AS 模式下的连接图。



## 6.1.2 PS 模式

在 PS 模式下，CME-M1 作为从设备被动接收从外部主控制器发来的配置数据。SPI Master 不能从 CME-M1 读出配置数据。

下图 CME-M1 在 PS 模式下的连接图。



### 6.1.3 JTAG 模式

JTAG 模式下，主机通过 CME-M1 的 JTAG 端口配置和调试 FPGA 和 MSS。JTAG 端口比其他配置模式有更高优先权，可以在任何配置模式下优先访问配置和调试。

## 版本历史

下表列出了本手册的版本历史记录，以方便用户快速更新或下载最新的产品手册。

日期	版本号	修订记录
2013年5月	CME-M1SDSC01	首次发布